

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Fujiyama et al.

Serial No.: 09/539,206

Filed: March 30, 2000



Group No.:

Examiner:

For: WRITE COMPENSATION CIRCUIT AND SIGNAL INTERPOLATION CIRCUIT
OF RECORDING DEVICE

Assistant Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF CERTIFIED COPY

Attached please find the certified copy of the foreign application from which
priority is claimed for this case:

Country: Japan
Application Number: 11-94133
Filing Date: March 31, 1999

SIGNATURE OF ATTORNEY

Reg. No. 26,725

Neil A. DuChez

Tel. No. (216) 621-1113

RENNER, OTTO, BOISSELLE & SKLAR, P.L.L.
1621 Euclid Avenue
Nineteenth Floor
Cleveland, Ohio 44115

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence (along with any paper referenced as being attached or
enclosed) is being deposited on the below date with the United States Postal Service with sufficient postage as
first class mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

Date: April 19, 2000

Janet Farr



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 3月31日

出願番号

Application Number:

平成11年特許願第094133号

出願人

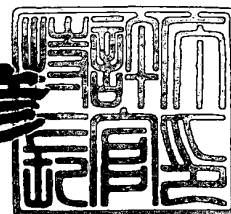
Applicant (s):

松下電器産業株式会社

2000年 2月25日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3010992

【書類名】 特許願

【整理番号】 2037600140

【提出日】 平成11年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 5/09

H03K 19/096

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 藤山 博邦

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 中平 博幸

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 山本 明

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 毛利 浩喜

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9303919

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記録装置の書き込み補償回路

【特許請求の範囲】

【請求項 1】 記録装置の書き込み補償回路であって、

第 1 の駆動電圧により駆動され、入力されたクロック信号を第 1 の遅延時間だけ遅延させて出力する第 1 の遅延部と、

前記クロック信号に基づいて、前記第 1 の遅延時間が前記クロック信号の周期と等しくなるように前記第 1 の遅延部に前記第 1 の駆動電圧を供給する電圧供給部と

を備えた、書き込み補償回路。

【請求項 2】 前記電圧供給部は、

第 2 の駆動電圧により駆動され、入力された前記クロック信号を第 2 の遅延時間だけ遅延させて出力する、前記第 1 の遅延部と同一の構成を有する第 2 の遅延部と、

前記第 2 の遅延時間が所定の範囲内にあるか否かを判定する判定部と、

前記判定部の判定結果に応じて、前記第 1 の遅延部に供給する前記第 1 の駆動電圧と、前記第 2 の遅延部に供給する前記第 2 の駆動電圧とをそれぞれ選択する電圧選択部と

を含む、請求項 1 に記載の書き込み補償回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、記録装置の書き込み補償回路に関する。

【 0 0 0 2 】

【従来の技術】

記録装置に記録されたデータを再生すると、再生波形のピークシフトが生じる。このピークシフトを補償する方法の 1 つとして、ピークシフトが問題となる特定のビット配列のデータを記録する時に予め特定されたビットを表す信号の位相を調整する書き込み補償方法が知られている。

【0003】

書き込み補償方法を実現する書き込み補償回路部の遅延発生手段は、複数のバッファを有する遅延回路を複数個備えている。遅延発生手段は、入力データの特定パターンによって、それぞれの遅延回路が駆動するバッファの数を制御して複数の遅延信号を発生させる。書き込み補償回路部は、セレクタによって複数の遅延信号から1つの信号を選択して書き込みクロックを生成し、前記書き込みクロックにより書き込みデータを生成する。

【0004】

書き込み補償回路部の遅延発生手段に用いられる技術としては、"A 300Mb/s BiCMOS EPR4 Read Channel for Magnetic Hard Disks" pp.378,379 Proc. of IEEE 1998 ISSCCに記載されているようなVCOを用いた技術がある。

【0005】

【発明が解決しようとする課題】

前記VCOを用いた技術によれば、書き込み補償量を発生させる遅延回路におけるクロックの遅延量を一定に保たせることができる。これにより、電源電圧変化や、温度変化などによって生じる回路のばらつきから遅延量の安定性が失われてしまうことを防ぐことが可能である。しかし、前記VCOを用いた技術を遅延発生手段に適用した場合には、温度補償、位相補償を実現するための回路部が別途必要になる。

【0006】

本発明は、以下の(1)、(2)を目的とする。

【0007】

(1) 複数のバッファを持つ遅延回路に対して、全体の遅延を常にクロック周期と同じになるように設定することにより、1つあたりのバッファの遅延とクロック周期との間に相対的な関係を持たせること。

【0008】

(2) 遅延発生手段の他に温度補償、位相補償を実現する回路部を別途必要とせず、VCOを用いた書き込み補償回路に比べて回路規模の小さい書き込み補償回路を提供すること。

【0009】

【課題を解決するための手段】

本発明の書き込み補償回路は、記録装置の書き込み補償回路であって、第1の駆動電圧により駆動され、入力されたクロック信号を第1の遅延時間だけ遅延させて出力する第1の遅延部と、前記クロック信号に基づいて、前記第1の遅延時間が前記クロック信号の周期と等しくなるように前記第1の遅延部に前記第1の駆動電圧を供給する電圧供給部とを備えており、これにより上記目的が達成される。

【0010】

前記電圧供給部は、第2の駆動電圧により駆動され、入力された前記クロック信号を第2の遅延時間だけ遅延させて出力する、前記第1の遅延部と同一の構成を有する第2の遅延部と、前記第2の遅延時間が所定の範囲内にあるか否かを判定する判定部と、前記判定部の判定結果に応じて、前記第1の遅延部に供給する前記第1の駆動電圧と、前記第2の遅延部に供給する前記第2の駆動電圧とをそれぞれ選択する電圧選択部とを含んでもよい。

【0011】

以下に作用を説明する。

【0012】

本発明の書き込み補償回路においては、第1の遅延時間がクロック信号の周期と等しくなるように電圧供給部が第1の遅延部に第1の駆動電圧を供給することにより、第1の遅延部におけるクロック信号の遅延を常にクロック周期と同じになるように設定することができる。

【0013】

また、第2の遅延部における第2の遅延時間が所定の範囲内にあるか否かの判定結果に応じて、電圧選択部が前記第1の遅延部に供給する第1の駆動電圧を選択することにより、第1の遅延部におけるクロック信号の遅延をクロック周期と等しく保つために、第1の遅延部に供給する第1の駆動電圧を適時調整することが可能である。

【0014】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について説明する。

【0015】

図1は、磁気記録再生装置100の全体を原理的に示すブロック図である。磁気記録再生装置100は、ハードディスクコントローラ（以下「HDC」とする。）1と、磁気ディスク4と、プリコーダ／変調回路部2、書き込み補償部3、再生部5を含むリードチャンネル部200とを備えている。

【0016】

HDC1は、磁気ディスク4の動作を制御する。磁気ディスク4は、磁気によりデータを記録する記録媒体である。プリコーダ／変調回路部2、書き込み補償部3及び再生部5は、HDC1と磁気ディスク4との間に設けられている。

【0017】

プリコーダ／変調回路部2は、HDC1より信号線101を介してユーザデータを受けて、そのユーザデータにプリコード及びデータ変調を施す。書き込み補償部3は、プリコーダ／変調回路部2より出力された変調データを信号線102を介して入力とし、プリコーダ／変調回路部2より出力されたセレクト信号を信号線109を介して入力とする。書き込み補償部3には信号線106を介してクロック信号52も入力されており、クロック信号52とセレクト信号とに基づいて、変調データから書き込みデータを生成する。書き込み補償部3によって生成された書き込みデータは、信号線103を介して磁気ディスク4に書き込まれる。HDC1からのユーザデータがプリコーダ／変調回路部2、書き込み補償部3を介して磁気ディスク4に書き込まれる上記の信号系を書き込み系という。

【0018】

再生部5は、磁気ディスク4より読み出された読み出しデータを信号線104を介して入力とする。HDC1は、前記再生部5より出力された信号を信号線105を介して入力とする。磁気ディスク4より読み出された読み出しデータが再生部5を介してHDC1に読み出される上記の信号系を読み出し系という。

【0019】

図2は、図1の磁気記録再生装置が備えている書き込み補償部3の構成を示す

。図2に示すように、書き込み補償部3は、プレシフトクロック生成部7と、フリップフロップ8とを備えている。図2において、書き込み補償部3には図1中のプリコーダ/変調回路部2より出力された変調データ51と、セレクト信号53と、システムを動作させるためのクロック信号52とが入力され、書き込みデータ54が出力される。上述したように、変調データ51は信号線102を介して入力され、セレクト信号53は信号線109を介して入力され、クロック信号52は信号線106を介して入力される。プレシフトクロック生成部7は、入力されたセレクト信号53とクロック信号52とに基づいて、プレシフトクロックを生成し出力する。フリップフロップ8は、信号線108を介して入力されたプレシフトクロックによって変調データ51をラッチし、書き込みデータ54を出力する。

【0020】

図3は、図2に示す書き込み補償部3が備えているプレシフトクロック生成部7の構成を示す。図3に示すように、プレシフトクロック生成部7はプレシフトクロック決定部（第1の遅延部）8と、適応電源電圧生成部（電圧供給部）11とを備えている。図3において、プレシフトクロック生成部7にはクロック信号52と、パターン62, 63, 64とが入力され、書き込みクロック55が出力される。クロック信号52は信号線106を介して入力され、パターン62, 63, 64はそれぞれ信号線114, 115, 116を介して入力される。ここで、パターン62, 63, 64はそれぞれ一定のパターンであり、磁気記録再生装置100が備えているパターン生成部（不図示）において生成される。

【0021】

適応電源電圧生成部11は、遅延回路部（後述する）の全体の遅延信号をクロック信号52の周期と同じにする、駆動電圧VDDを発生させる。プレシフトクロック決定部8は、入力されたクロック信号52と、パターン62, 63, 64と、駆動電圧VDDと、セレクト信号53とに基づいて、書き込みクロック55を生成する。

【0022】

図4Aは、図3に示すプレシフトクロック生成部7が備えているプレシフトク

ロック決定部 8 の構成例を示す。図 4 A に示すプレシフトクロック決定部 8 は、遅延回路 12 と、セレクタ 15 とを備えている。

【0023】

遅延回路 12 は、信号線 106 を介して入力されたクロック信号 52 を、セレクタ 15 からの入力パターンに応じた遅延量だけ遅延させて、書き込みクロック 55 として出力する。遅延回路 12 は、図 3 の適応電源電圧生成部 11 により生成された駆動電圧 VDD によって駆動されるため、駆動電圧 VDD が大きいほど遅延量は小さくなり、駆動電圧 VDD が小さいほど遅延量は大きくなる。

【0024】

セレクタ 15 は、それぞれ信号線 114, 115, 116 を介して入力されたパターン 62, 63, 64 から、1 つのパターンを選択して遅延回路 12 に出力する。セレクタ 15 から遅延回路 12 へのパターンの入力は信号線 117 を介して行われる。また、セレクタ 15 におけるパターンの選択は、信号線 109 を介して入力されるセレクト信号 53 により行われる。

【0025】

図 4 B は、図 3 に示すプレシフトクロック生成部 7 が備えているプレシフトクロック決定部 8 の別の構成例を示す。図 4 B に示すプレシフトクロック決定部 8 は、遅延回路 12, 13, 14 と、セレクタ 15 とを備えている。

【0026】

図 4 B に示す場合には、図 4 A に示す場合と異なり、各遅延回路 12, 13, 14 は概ね一定の遅延量を有する。すなわち、各遅延回路 12, 13, 14 にはそれぞれ一定のパターン 62, 63, 64 が入力されているため、各遅延回路 12, 13, 14 における遅延量は概ね一定となる。但し、各遅延回路 12, 13, 14 は図 4 A における遅延回路 12 と同様に駆動電圧 VDD によって駆動されるため、駆動電圧 VDD の大小によって遅延量は変化する。

【0027】

プレシフトクロック決定部 8 に入力されたクロック信号 52 は、遅延回路 12, 13, 14 によってそれぞれ所定の遅延量だけ遅延され、信号線 111, 112, 113 を介してセレクタ 15 に入力される。セレクタ 15 には、遅延された

クロック信号の他に、遅延されていないクロック信号 52 も入力される。セクタ 15 は、信号線 109 を介して入力されるセレクト信号 53 に応じて、遅延された 3 つのクロック信号とクロック信号 52 のうちから 1 つのクロックを選択し、信号線 108 を介して書き込みクロック 55 として出力する。

【0028】

図 5 は、図 4 A 及び図 4 B に示す遅延回路 12 の回路構成例を示す。なお、遅延回路 13、14 の構成は遅延回路 12 の構成と同じである。

【0029】

ここで、図 4 A 及び図 4 B における遅延回路 12、13、14 の入力側の信号線 106 は図 5 における 12-i に対応している。また、図 4 A における遅延回路 12 の出力側の信号線 108 及び図 4 B における遅延回路 12、13、14 の出力側の信号線 111、112、113 は、図 5 における信号線 12-o に対応している。また、図 4 A において遅延回路 12 に信号パターンを得るための信号線 117、及び図 4 B において遅延回路 12、13、14 に信号パターン 62、63、64 を得るための信号線 114、115、116 は、図 5 における信号線 12-p に対応している。

【0030】

図 5 の遅延回路 12 は、 m 個のバッファ回路 12b-1 ~ 12b- m と、 m 個のスイッチ回路 12s-1 ~ 12s- m とを備えている。

【0031】

図 5 の遅延回路 12 における信号の遅延量の決定は、スイッチ回路 12s-1 ~ 12s- m のうちいずれか 1 つだけがオン状態となり、他のすべてがオフ状態となることにより行われる。スイッチ回路 12s-1 ~ 12s- m のうちいずれか 1 つがオン状態となると、12-i から入力された信号が、オン状態になったスイッチ回路に対応するバッファ回路 12b-1 ~ 12b- m までによって遅延されて、12-o から出力される。例えば、スイッチ回路 12s-3 がオン状態になった場合、12-i から入力された信号は、バッファ回路 12b-1 ~ 12b-3 によって遅延されて、12-o から出力される。

【0032】

スイッチ回路 12s-1~12s-m のオン/オフは、信号線 12-p を介して入力されるパターンによって制御される。よって、図 4 A 及び図 4 B の遅延回路 12, 13, 14 における遅延量は、入力パターン 62, 63, 64 によって制御される。

【0033】

遅延回路 12 は駆動電圧 VDD によって駆動されるため、上述したように、駆動電圧 VDD が大きいとき遅延回路 12 の動作は速くなって遅延量は比較的小さくなる。また、駆動電圧 VDD が小さいとき遅延回路 12 の動作は遅くなって遅延量は比較的大きくなる。

【0034】

図 6 は、図 3 に示すプレシフトクロック生成部 7 が備えている適応電源電圧生成部 11 を示す。適応電源電圧生成部 11 は、電圧選択回路（電圧選択部）16 と、遅延量判定回路（判定部）17 と、入力パルス信号生成部 18 と、遅延回路部（第 2 の遅延部）19 と、OR 回路 40 とを備えている。

【0035】

入力パルス信号生成部 18 は、入力されたクロック信号 52 から、目標遅延量を表すパルス幅を有する入力パルス信号 P1 と、駆動電圧 VDD' の更新のためのパルス信号 P5 と、駆動電圧 VDD の更新のためのパルス信号 P6 とを生成する。遅延回路部 19 は、入力パルス信号 P1 を遅延させることによって得られるパルス信号を出力パルス信号 P2 として出力する。遅延量判定回路 17 は、入力パルス信号 P1 に対する出力パルス信号 P2 の遅延量が目標遅延量より大きいかな否かを判定し、判定結果を示す判定信号 P3 と、P3 を反転させたパルス信号 P4 とを出力する。OR 回路 40 は、遅延量判定回路 17 より出力されるパルス信号 P4 と、パルス信号 P6 との論理和を演算し、パルス信号 P7 を出力する。

【0036】

電圧選択回路 16 は、信号線 123, 125, 127 のそれぞれを介して得られる判定信号 P3、パルス信号 P5, P7 を入力として、目標の駆動電圧 VDD' と、駆動電圧 VDD とを出力する。上述したように、駆動電圧 VDD は、図 4 A 及び図 4 B の遅延回路 12, 13, 14 を駆動するための電圧である。また、

駆動電圧VDD'は、遅延回路部19を駆動するための電圧である。電圧選択回路16は、判定信号P3とパルス信号P5とに応じて、予め用意された複数の異なる電圧のうち1つを選択し、その選択された電圧を駆動電圧VDD'として出力する。また、電圧選択回路16は、判定信号P3とパルス信号P7とに応じて、予め用意された複数の異なる電圧のうち1つを選択し、その選択された電圧を駆動電圧VDDとして出力する。

【0037】

判定信号P3は、前記の複数の電圧のうち、より高い電圧を出力すべきか、より低い電圧を出力すべきかを指示するために使用される。具体的には、判定信号P3がローレベルにあることはその複数の電圧のうち、より低い電圧を出力することを意味し、ハイレベルにあることはその複数の電圧のうち、より高い電圧を出力することを意味する。

【0038】

遅延回路部19は、図3及び図4Aにおける遅延回路12、13、14と同様の構成を有する。遅延回路12、13、14と異なり、遅延回路部19においては、信号の遅延量は常に最大の遅延量をとるように設定されている。例えば、遅延回路部19が図5に示すような構成を有する場合、常にスイッチ12s-mのみがオンの状態になっている。

【0039】

図7は、クロック信号52と、パルス信号P1～P7との関係を示すタイミングチャートである。

【0040】

パルス信号P1、P5、P6は、入力パルス信号生成部18において、図7に示される関係となるように生成される。図7に示すように、パルス信号P1は、目標遅延量であるクロック周期Tを表すパルス幅を有する信号である。パルス信号P5は、パルス信号P1の位相と異なった位相を有する信号である。パルス信号P5は、駆動電圧VDD'が更新されるタイミングを制御するために用いられる。一方、パルス信号P6は、P5と同様にパルス信号P1の位相とは異なった位相を有し、パルス信号P5より1サイクル遅れた信号である。パルス信号P6

は、駆動電圧VDDが更新されるタイミングを制御するために用いられる。パルス信号P6は、パルス信号P5より1サイクル遅れていることにより、回路の誤動作を防ぐ。

【0041】

上述したように、パルス信号P2は、遅延回路部19において生成される、パルス信号P1を遅延させた信号である。また、判定信号P3は、遅延回路部19における遅延量が目標の遅延量より大きいかなを示す信号である。図7において、パルス信号P2の波形に2か所丸印が付いているが、左側の丸印の時点においては、パルス信号P1に対するパルス信号P2の遅延量が目標遅延量よりも大きいため、判定信号P3はハイレベルに変化する。また、右側の丸印の時点においては、パルス信号P1に対するパルス信号P2の遅延量が目標遅延量よりも小さいため、判定信号P3はローレベルに変化する。上述したように、パルス信号P4は判定信号P3の否定の信号であるため、図7に示すようにパルス信号P4の波形は判定信号P3の反転した波形となる。

【0042】

パルス信号P7は、パルス信号P4とパルス信号P6との論理和により得られる信号である。図7に示すように、パルス信号P7は、判定信号P4がローレベルである期間においてのみ、パルス信号P6に従って出力される。上述したように、パルス信号P4がローレベルである期間（判定信号P3がハイレベルである期間）は、駆動電圧VDD'が上昇する期間に相当する。駆動電圧VDDが更新されるタイミングの制御は、実際にはパルス信号P6を元に生成されたパルス信号P7により行われる。そのため、駆動電圧VDDの更新は、駆動電圧VDD'が上昇する期間に行われる。

【0043】

図8は、図6に示す適応電源電圧生成部11が備えている電圧選択回路16の構成を示す。電圧選択回路16は、抵抗30と、スイッチ回路31、33と、双方向制御シフト回路32とを備えている。

【0044】

双方向制御シフト回路32は、Dフリップフロップ32f-1～32f-9と

、2入力1出力のマルチプレクサ32m-1~32m-5と、OR回路32o-1, 32o-2とを備えている。

【0045】

Dフリップフロップ32f-1~32f-5のそれぞれには、信号線125を介して得られるパルス信号P5の立ち上がりエッジに同期して、前段又は後段のDフリップフロップからデータが入力される。マルチプレクサ32m-1~32m-5のそれぞれは、判定信号P3のレベルに応じて、対応するDフリップフロップに格納すべきデータを選択する。OR回路32o-1は、制御信号S4とS5との論理和を出力する。OR回路32o-2は、制御信号S1とS2との論理和を出力する。

【0046】

Dフリップフロップ32f-1~32f-5のうちいずれか1つには「1」の値を有するデータが保持され、残りのDフリップフロップには「0」の値を有するデータが保持される。判定信号P3がローレベルのとき（パルス信号P2の遅延量が目標遅延量よりも小さいとき）、「1」の値を保持するDフリップフロップは1つ前段（図8の下方）のDフリップフロップとなる。判定信号P3がハイレベルのとき（パルス信号P2の遅延量が目標遅延量よりも大きいとき）、「1」の値を保持するDフリップフロップは1つ後段（図8の上方）のDフリップフロップとなる。Dフリップフロップ32f-1~32f-5が保持する値は、制御信号S1~S5としてDフリップフロップ32f-6~32f-9とスイッチ回路31とに入力される。

【0047】

一方、Dフリップフロップ32f-6~32f-9のそれぞれには、信号線127を介して得られるパルス信号P7の立ち上がりエッジに同期して、Dフリップフロップ32f-1~32f-4が保持するデータがそれぞれ入力される。Dフリップフロップ32f-6~32f-9のうちいずれか1つには「1」の値を有するデータが保持され、残りのDフリップフロップには「0」の値を有するデータが保持される。Dフリップフロップ32f-6~32f-9が保持する値は、制御信号S6~S9としてスイッチ回路33に入力される。

【0048】

上記構成により、双方向制御シフト回路32は、判定信号P3のレベルに応じて、制御信号S1～S5のうちいずれか1つをハイレベルにし、残りの制御信号をローレベルに保つように機能する。また、双方向制御シフト回路32は、制御信号S6～S9のうちいずれか1つをハイレベルにし、残りの制御信号をローレベルに保つように機能する。

【0049】

図8において、抵抗30の一端は電源電圧VCCに接続され、抵抗30の他端はグランド電圧に接続されている。抵抗分割法に従って、抵抗30の点R1～R5における電圧が電圧V1～V5としてスイッチ回路31に供給される。また、点R1～R4における電圧V1～V4はスイッチ回路33にも供給される。ここで、 $V1 > V2 > V3 > V4 > V5$ である。

【0050】

スイッチ回路31は、複数のスイッチ素子31-1～31-5を備えている。スイッチ素子31-1～31-5のそれぞれ一端には、対応する電圧V1～V5が供給されている。制御信号S1～S5は、スイッチ素子31-1～31-5のオン/オフをそれぞれ制御するため使用されている。ハイレベルである制御信号に対応するスイッチ素子のみがオンとなり、そのスイッチ素子に対応する電圧が駆動電圧VDD'として選択的に出力される。例えば、制御信号S3がハイレベルであって他の制御信号がローレベルである場合には、スイッチ素子31-3のみがオンになって電圧V3が駆動電圧VDD'として出力される。

【0051】

ここで、電圧選択回路16は、出力される駆動電圧VDD'の範囲を所定の範囲に制限する機能を有していることが望ましい。駆動電圧VDD'の範囲の制限は、例えば、双方向制御シフト回路32に含まれるDフリップフロップおよびセレクタの段数を制限することにより達成される。

【0052】

一方、スイッチ回路33は、複数のスイッチ素子33-1～33-4を備えている。スイッチ回路31のスイッチ素子31-1～31-5と同様に、スイッチ

素子 3 3 - 1 ~ 3 3 - 4 の一端には対応する電圧 $V_1 \sim V_4$ が供給されている。制御信号 $S_6 \sim S_9$ はスイッチ素子 3 3 - 1 ~ 3 3 - 4 のオンオフを制御するための信号である。ハイレベルである制御信号に対応するスイッチ素子のみがオンとなり、そのスイッチ素子に対応する電圧が駆動電圧 V_{DD} として選択的に出力される。例えば、制御信号 S_8 がハイレベルであって他の制御信号がローレベルである場合には、スイッチ素子 3 3 - 2 のみがオンになって電圧 V_2 が駆動電圧 V_{DD} として出力される。

【 0 0 5 3 】

D フリップフロップ 3 2 f - 6 ~ 3 2 f - 9 に格納されるデータは、スイッチ回路 3 1 から出力される駆動電圧 V_{DD}' が上昇する場合に更新される。従って、スイッチ回路 3 3 から出力される駆動電圧 V_{DD} は、スイッチ回路 3 1 から出力される駆動電圧 V_{DD}' が上昇する場合に駆動電圧 V_{DD}' の値に更新され、それ以外の場合には更新されない。なお、駆動電圧 V_{DD} の初期値は、駆動電圧 V_{DD}' の初期値に等しい。

【 0 0 5 4 】

駆動電圧 V_{DD} は、図 3 中の遅延回路 1 2, 1 3, 1 4 のバッファ回路部の駆動電圧として供給される。駆動電圧 V_{DD}' がロックされた状態の時の駆動電圧 V_{DD} が上述の遅延回路 1 2, 1 3, 1 4 に供給されている時に、遅延回路 1 2, 1 3, 1 4 の全体の信号の遅延はクロック信号 5 2 の周期と同じになる。

【 0 0 5 5 】

図 9 は、図 6 に示す適応電源電圧生成部 1 1 が備えている遅延量判定回路 1 7 の構成を示す。遅延量判定回路 1 7 は、フリップフロップ 3 6 を備えている。フリップフロップ 3 6 は、データ入力端子 D と、クロック入力端子 CK と、出力端子 Q と、否定出力端子 NQ とを有する。データ入力端子 D として、遅延回路部 1 9 の出力パルス信号 P 2 が入力される。クロック信号 CK として、遅延回路部 1 9 の入力パルス信号 P 1 が入力される。出力端子 Q からは、判定信号 P 3 が出力される。否定出力端子 NQ からは、パルス信号 P 4 が出力される。

【 0 0 5 6 】

入力パルス信号 P 1 と出力パルス信号 P 2 との間の位相関係は 2 つの場合に分

類される。1つは、入力パルス信号P1の立ち上がりエッジにおいて出力パルス信号P2がローレベルである場合（図7の右側の丸印）であり、もう1つは、入力パルス信号P1の立ち上がりエッジにおいて出力パルス信号P2がハイレベルである場合（図7の左側の丸印）である。

【0057】

入力パルス信号P1の立ち上がりエッジにおいて出力パルス信号P2がローレベルである場合は、入力パルス信号P1に対する出力パルス信号P2の遅延量（実際の遅延量）が目標遅延量より小さい場合に相当する。入力パルス信号P1のパルス幅が目標遅延量に相当するからである。

【0058】

入力パルス信号P1の立ち上がりエッジにおいて出力パルス信号P2がローレベルである場合、遅延量判定回路17はローレベルの判定信号P3を出力する。遅延量判定回路17のフリップフロップ36が入力パルス信号P1の立ち上がりエッジにおいて出力パルス信号P2のレベル（ローレベル）をデータとして取り込むからである。上述したように、ローレベルの判定信号P3に応答して、電圧選択回路16は、駆動電圧VDD'をこれまでより低い電圧とするように制御する。その結果、入力パルス信号P1に対する出力パルス信号P2の遅延量が増大する。このようにして、入力パルス信号P1に対する出力パルス信号P2の遅延量が目標遅延量に近づくようにフィードバックされる。

【0059】

入力パルス信号P1の立ち上がりエッジにおいて出力パルス信号P2がハイレベルである場合、遅延量判定回路17はハイレベルの判定信号P3を出力する。遅延量判定回路17のフリップフロップ36が入力パルス信号P1の立ち上がりエッジにおいて出力パルス信号P2のレベル（ハイレベル）をデータとして取り込むからである。上述したように、ハイレベルの判定信号P3に応答して、電圧選択回路16は、駆動電圧VDD'をこれまでより高い電圧とするように制御する。その結果、入力パルス信号P1に対する出力パルス信号P2の遅延量が減少する。このようにして、入力パルス信号P1に対する出力パルス信号P2の遅延量が目標遅延量に近づくようにフィードバックされる。

【0060】

このフィードバックの結果、遅延回路部 19 における入力パルス信号 P 1 に対する出力パルス信号 P 2 の遅延量が目標遅延量に等しくなるように、駆動電圧 VDD' の値が調整される。駆動電圧 VDD の値は、駆動電圧 VDD' が上昇する時に更新されるため、駆動電圧 VDD により駆動される遅延回路 12, 13, 14 における遅延量はクロック周期と相対的な関係を保つことができる。

【0061】

【発明の効果】

本発明によれば、複数のバッファを持つ遅延回路に対して、全体の遅延を常にクロック周期と同じになるように設定し、1つあたりのバッファの遅延をクロック周期と相対的な関係を持たせることができる。これにより、書き込み補償回路中の遅延回路における信号の遅延量が、温度変化、電源電圧変化に対して変動する感度を低くし、変動に対する遅延量の精度を保つことができる。

【0062】

さらに、本発明によれば、VCOを用いた技術におけるような温度補償、位相補償を実現する補償部を必要とせず、VCOを用いた技術に比べて小さい回路規模の書き込み補償回路を実現できる。

【図面の簡単な説明】

【図1】

磁気記録再生装置 100 の全体を原理的に示すブロック図である。

【図2】

図1の磁気記録再生装置 100 が備えている書き込み補償部 3 の構成を示すブロック図である。

【図3】

図2の書き込み補償部 3 が備えているプレシフトクロック生成部 7 の構成を示すブロック図である。

【図4A】

図3のプレシフトクロック生成部 7 が備えているプレシフトクロック決定部 8 の構成例を示すブロック図である。

【図 4 B】

図 3 のプレシフトクロック生成部 7 が備えているプレシフトクロック決定部 8 の別の構成例を示すブロック図である。

【図 5】

図 4 A、図 4 B の遅延回路 1 2, 1 3, 1 4、及び図 5 の遅延回路部 1 9 の回路構成例を示す回路図である。

【図 6】

図 3 のプレシフトクロック生成部 7 が備えている適応電源電圧生成部 1 1 を示すブロック図である。

【図 7】

クロック信号 5 2 と、パルス信号 P 1 ~ P 7 との関係を示すタイミングチャートである。

【図 8】

図 6 の適応電源電圧生成部 1 1 が備えている電圧選択回路 1 6 の構成を示すブロック図である。

【図 9】

図 6 の適応電源電圧生成部 1 1 が備えている遅延量判定回路 1 7 の構成を示すブロック図である。

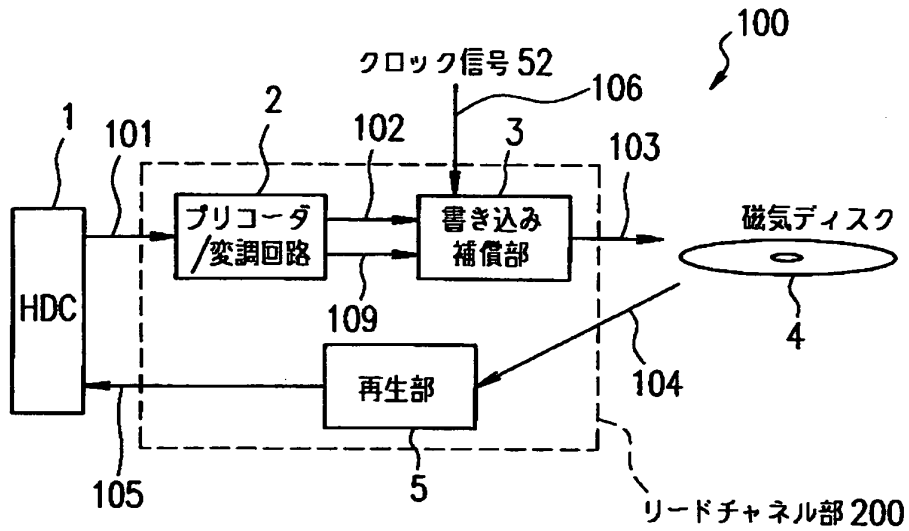
【符号の説明】

- 1 ハードディスクコントローラ (HDC)
- 2 プリコーダ/変調回路部
- 3 書き込み補償部
- 4 磁気ディスク
- 5 再生部
- 7 プレシフトクロック生成部
- 1 1 適応電源電圧生成部
- 1 2, 1 3, 1 4 遅延回路
- 1 5 セレクタ
- 1 6 電圧選択回路

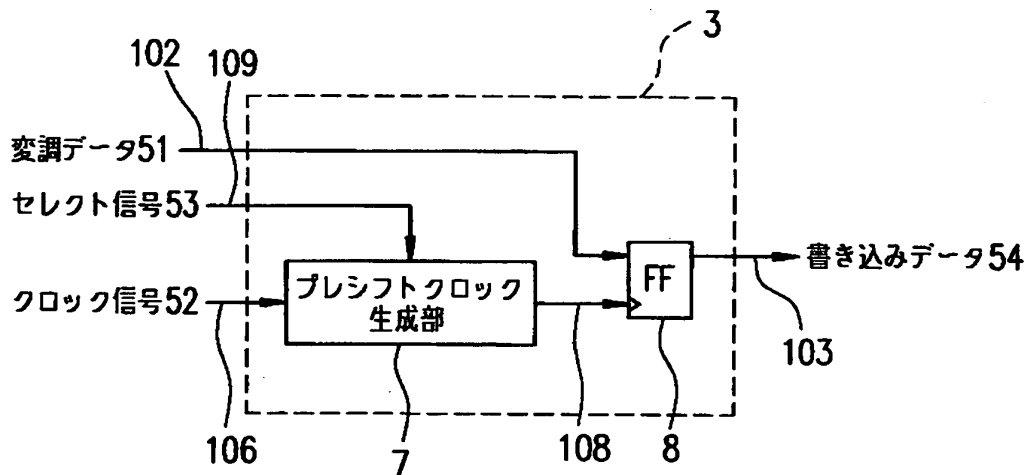
- 1 7 遅延量判定回路
- 1 8 入力パルス信号生成部
- 1 9 遅延回路部
- 3 0 抵抗
- 3 1 スイッチ回路
- 3 2 双方向制御シフト回路
- 3 3 スイッチ回路
- 2 0 0 リードチャネル部

【書類名】 図面

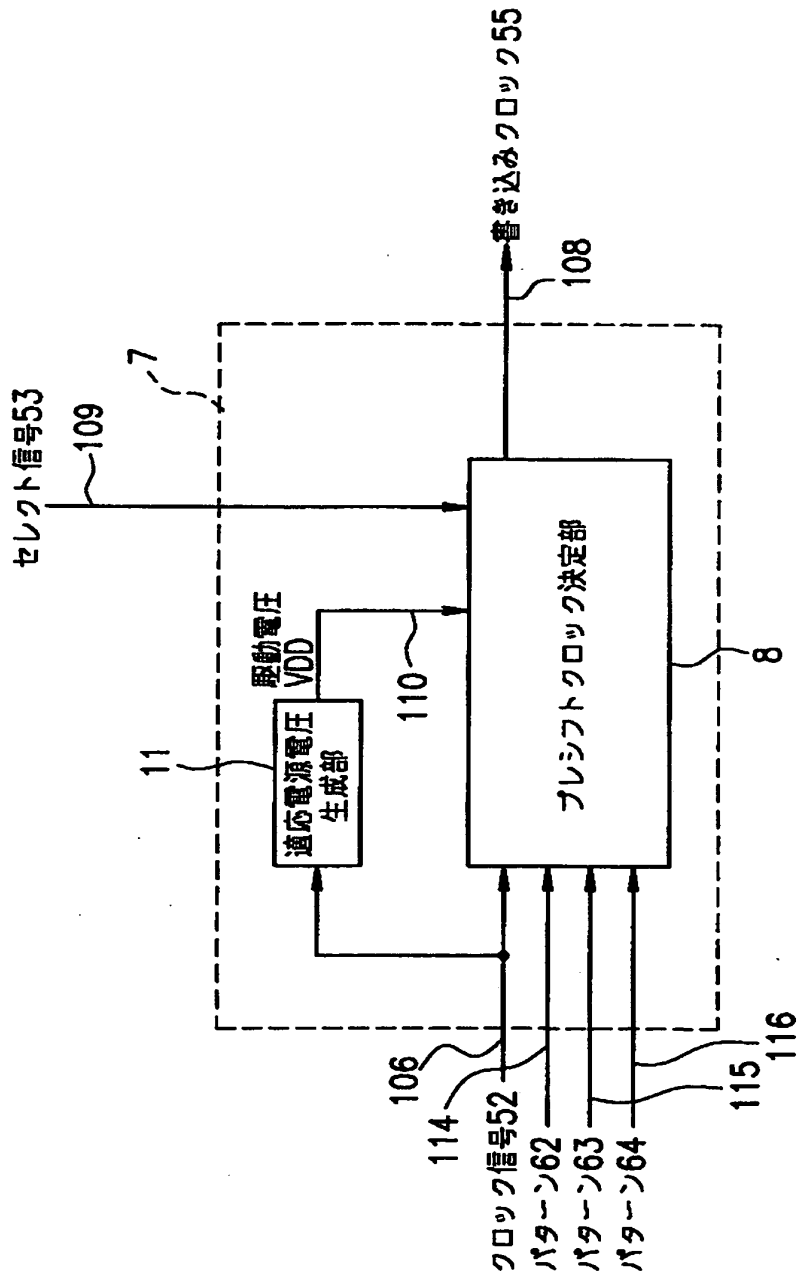
【図 1】



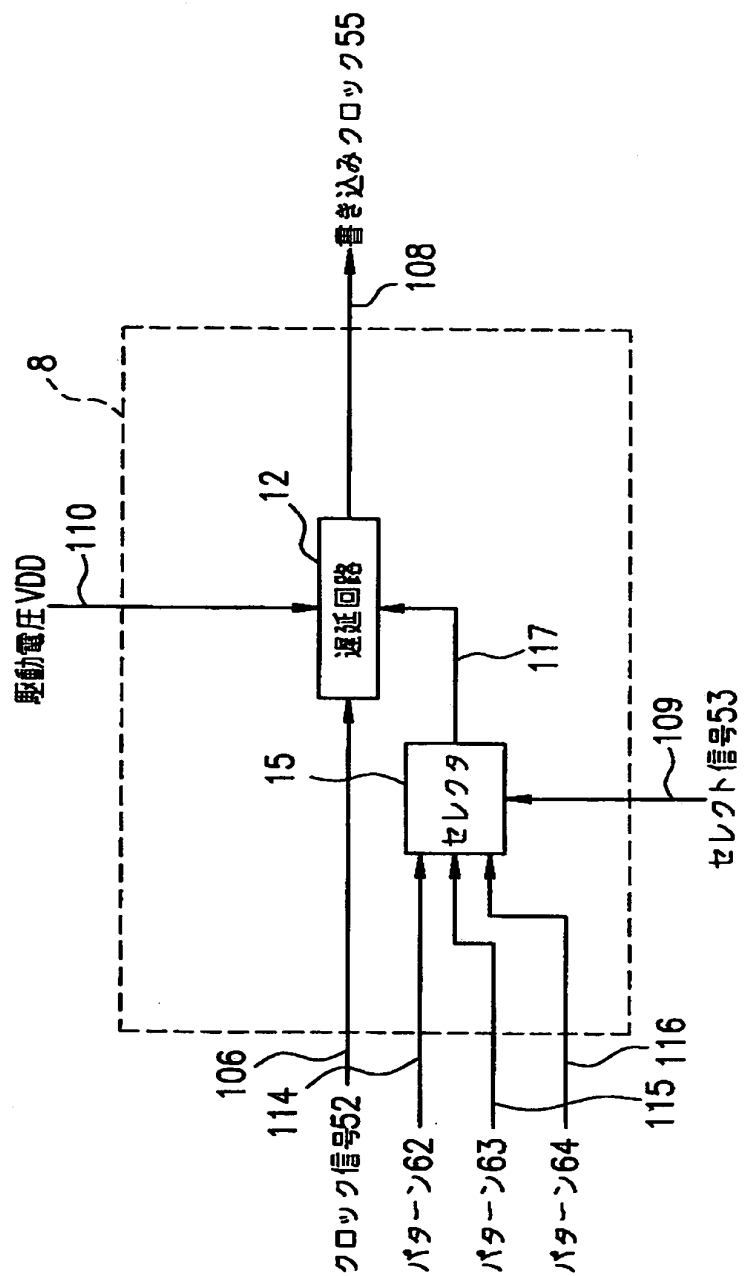
【図 2】



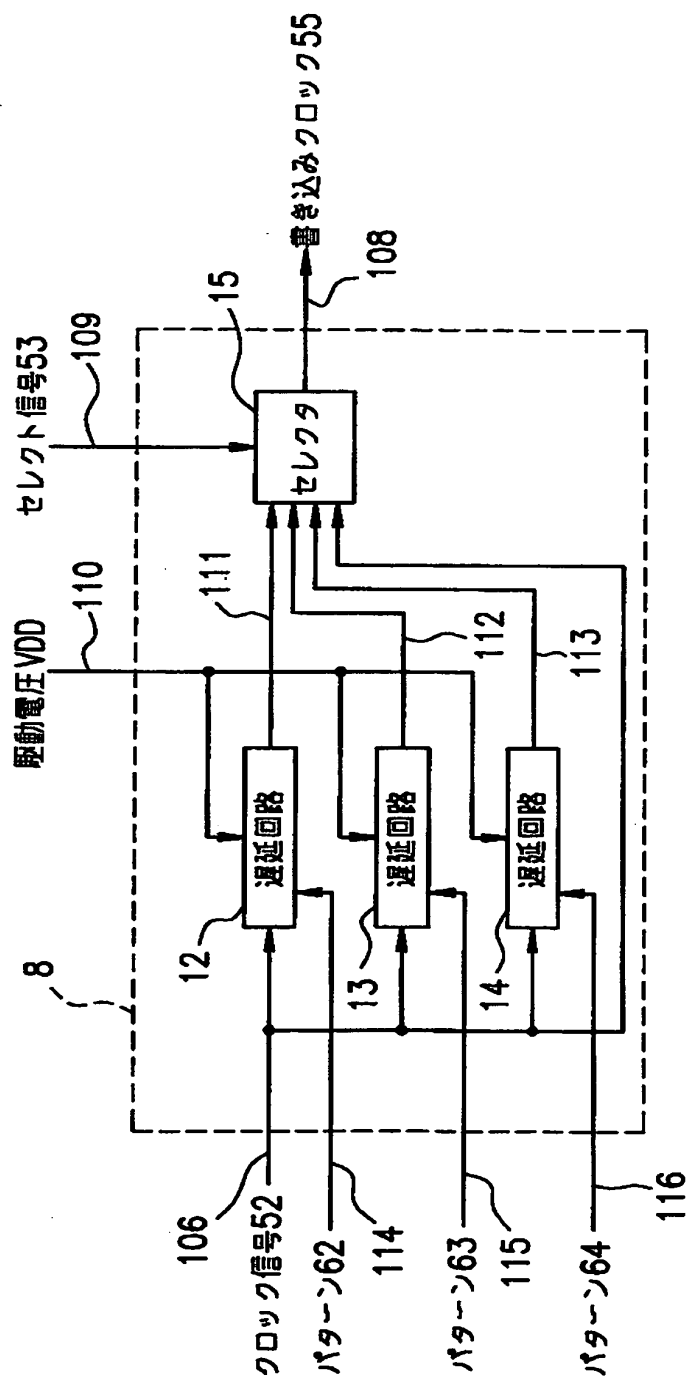
【図3】



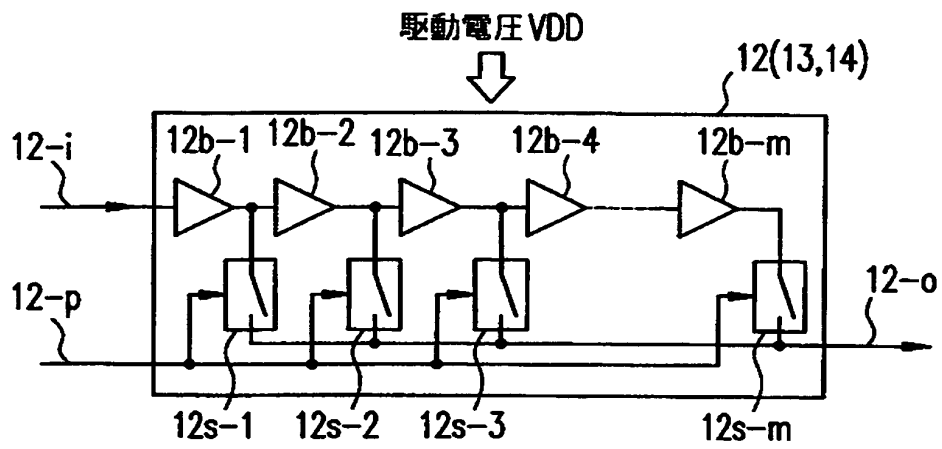
【図 4 A】



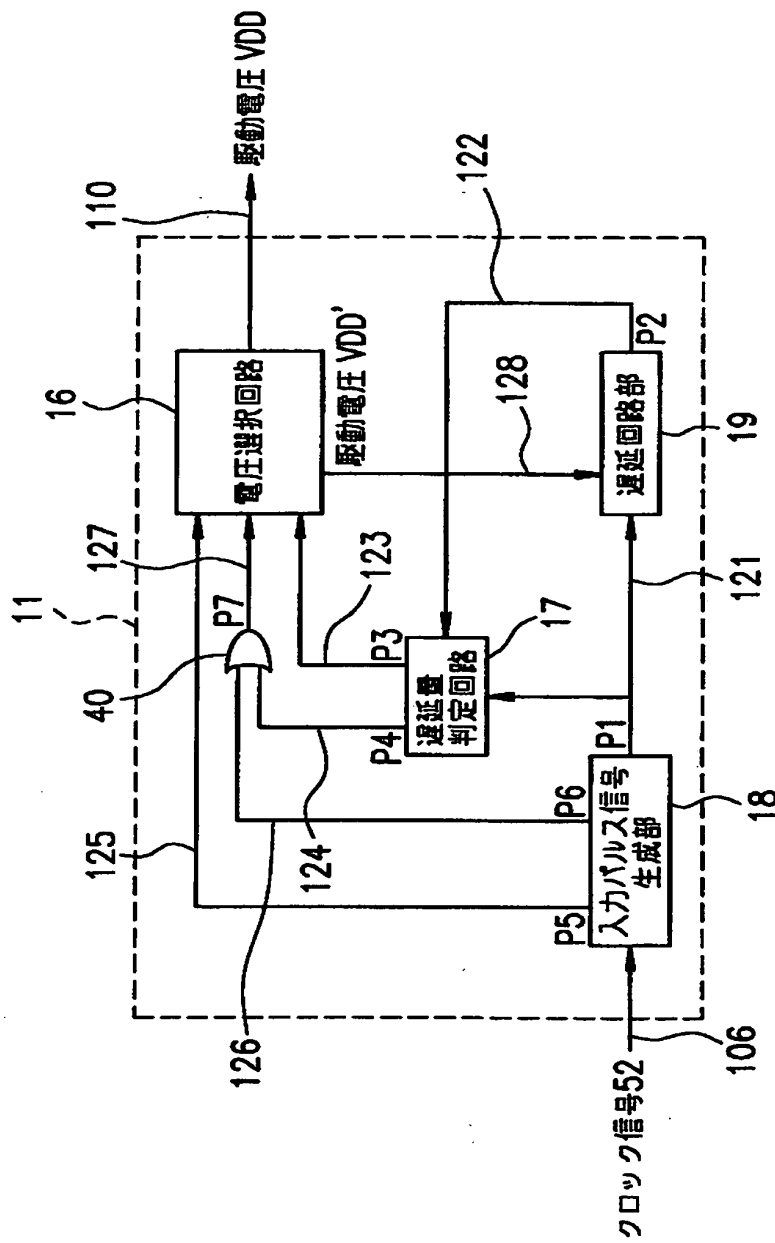
【図 4 B】



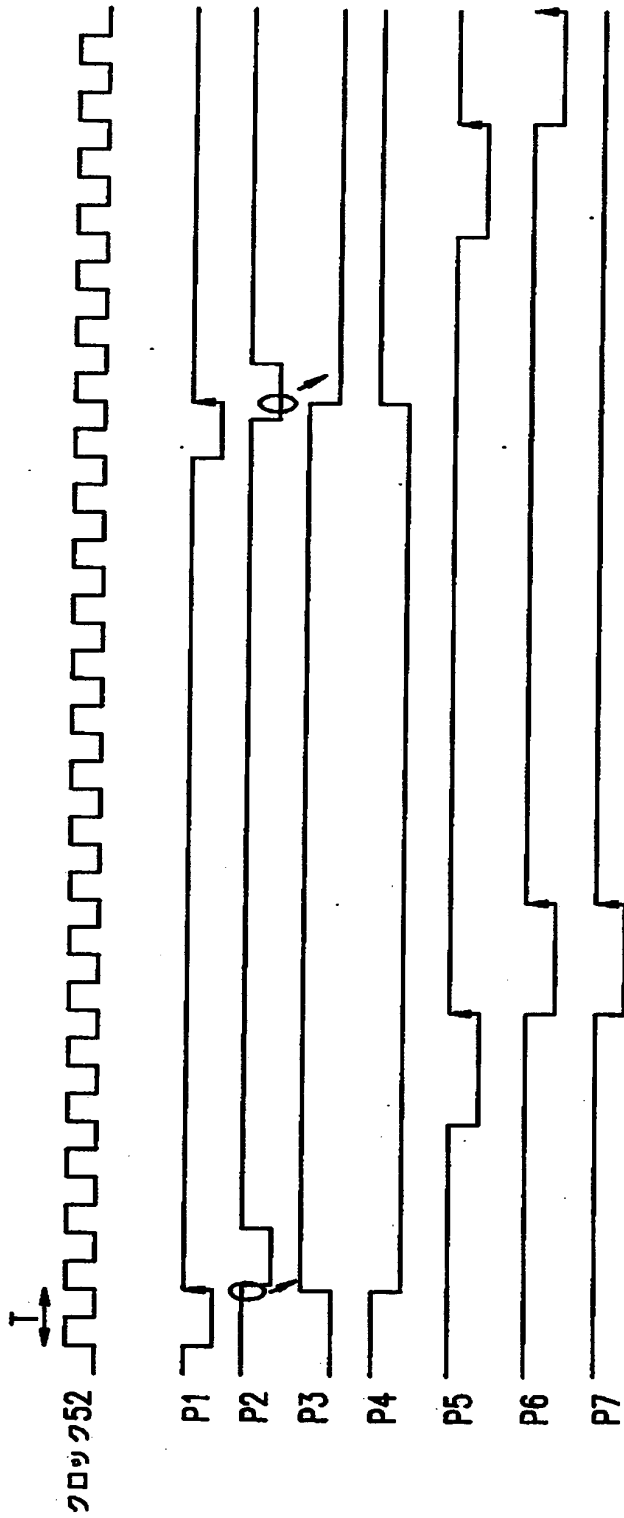
【図 5】



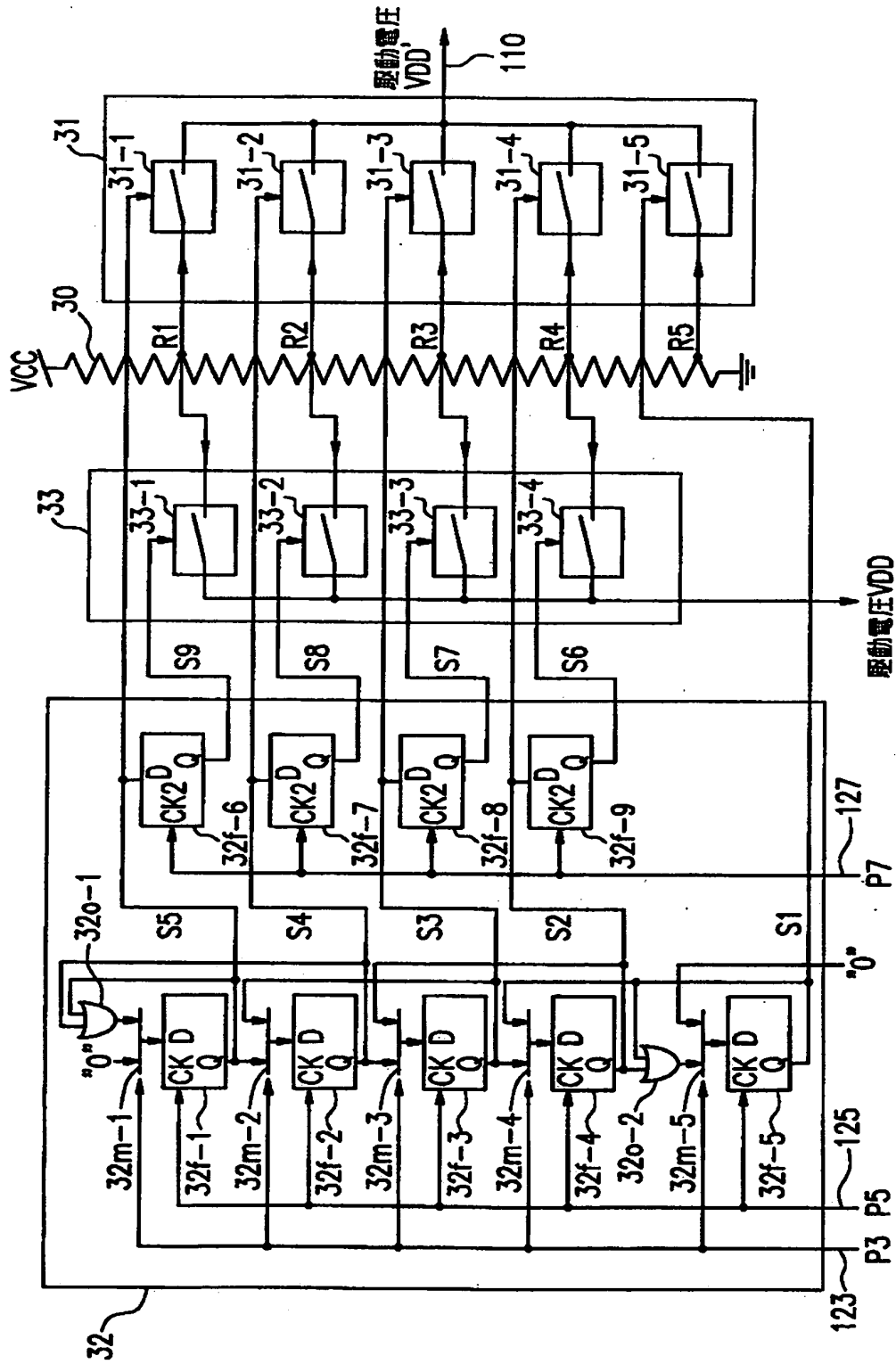
【図 6】



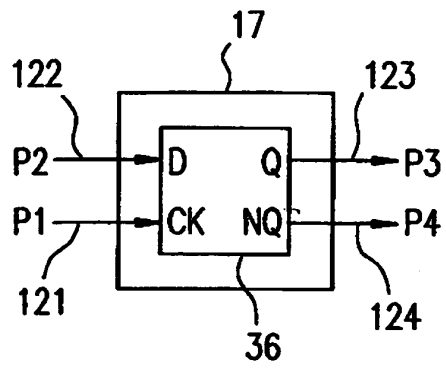
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 遅延発生手段の他に温度補償、位相補償を実現する回路部を別途必要とせず、VCOを用いた書き込み補償回路に比べて回路規模の小さい書き込み補償回路を提供すること。

【解決手段】 本発明の書き込み補償回路は、記録装置の書き込み補償回路であって、第1の駆動電圧VDDにより駆動され、入力されたクロック信号52を第1の遅延時間だけ遅延させて出力する第1の遅延部8と、クロック信号52に基づいて、第1の遅延時間がクロック信号52の周期と等しくなるように第1の遅延部8に第1の駆動電圧を供給する電圧供給部11とを備えている。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社

(Translation)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : March 31, 1999

Application Number : Heisei 11

Patent Appln. No. 094133

Applicant(s) : MATSUSHITA ELECTRIC INDUSTRIAL
CO., LTD.

Wafer
of the
Patent
Office

February 25, 2000

Takahiko KONDO

Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2000-3010992